

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-292747

⑬ Int. Cl.⁴

G 06 F 9/38
5/06

識別記号

庁内整理番号

A-7361-5B
7230-5B

⑭ 公開 昭和61年(1986)12月23日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 バツファレジスタ

⑯ 特 願 昭60--134766

⑰ 出 願 昭60(1985)6月20日

⑱ 発 明 者 福 嶋 清 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 宮 田 真 司 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

バッファレジスタ

2. 特許請求の範囲

第1の信号によりシフト動作を実行するシフトレジスタと、前記第1の信号およびこれと異なる第2の信号により制御されるポインタと、該ポインタにより前記シフトレジスタの任意のビットにデータを選択入力する手段とを有する事を特徴とするバッファレジスタ。

3. 発明の詳細な説明

(技術分野)

本発明はマイクロコンピュータ等に使用されるバッファレジスタに関し、特に先取り命令方式で用いられるキューバッファレジスタに関する。

(従来技術)

近年、マイクロコンピュータ等では命令のフェ

ッチサイクルの遅れによるシステムスピードの低下を防ぐために、命令のキューバッファレジスタ(以下、QBRという)を備え、バスの空サイクル時に命令を先取り(プリフェッチ)する方法が通常とられる。命令のQBRは命令のフェッチとデコードのタイミングを調整するもので機能的にはFIFO構造になっていれは良い。このFIFOを実現するにはシフトレジスタを使用したものとRAMを使用したものがある。

従来のシフトレジスタ方式のQBRはQBRのうち一つ以上が空の時、QBR内の最も奥の段に入力データをシフトさせながらつめて蓄込み、一方読出し時には必要なデータをシフトアウトして得るようにしている。この方式ではキューライト時に入力したデータを必要な位置までシフトさせるタイミングを作るのが難しく、またその制御回路も非常に複雑である。さらに、キューリードとキューライトが同時にできない欠点もあり現在あまり使用されない。

RAM方式のQBRの一例を第3図に示す。と

の方式はキューライト (QWR) 信号2によって入力バッファ (INBUF) 1の入力データ (QIN) をキューライトポイント (QWRポイント) 3で指されたRAM 4のビット書き込むと共に、キューライトポイント3を+1インクリメントする。またキューリード (QRD) 信号5によってキューリードポイント (QRDポイント) 6で指されたRAM 4のビットを出力バッファ (OUTBUF) 7から出力して出力データとし、それと共にキューリードポイント6を+1インクリメントする。各ボイスからアドレスは夫々デコーダ8, 9でデコードされ、書き込みアドレス、読出アドレスとしてRAM 4に入力される。

(解決すべき問題点)

QRDY 10及びQFULL 11の2つの信号はキューライトポイント3よりキューリードポイント6の内容を引いた結果を比較器12で比較して得られる。この方式ではRAMを使用するため第3図の入出力バッファ1および7だけでなく、ブリ

キューリードポイント6, キューライトポイント3及びそれらのデコーダ8, 9, QRDYとQFULLの信号を発生する為の演算比較回路12が必要であった。従って、この方式では複雑な制御回路が必要となる上に、やはりキューリードとキューライトが同時に実行できないという欠点があった。

(発明の目的)

本発明の目的は回路構成と制御が簡単で、かつリードとライトが同時に実行可能なバッファレジスタを提供する事にある。

(問題点を解決するための手段)

本発明のバッファレジスタは第1の信号によりシフト動作を実行するシフトレジスタと、前記第1の信号およびそれと異なる第2の信号により制御されるポイントと、該ポイントにより前記シフトレジスタの任意のビットにデータを選択入力する手段とを含んで構成される。

(実施例)

以下に、本発明の一実施例について説明する。第1図は本発明の一実施例を示す回路ブロック図

である。本実施例は4ビット×4ビット段の命令キューバッファレジスタ (QBR) を示している。ここでQWR 15はQBRへのデータ書き込み信号、QRD 16は、中央処理装置 (以下、CPUという) がQBRからデータ読出しを終了したことを示す信号I 0〜I 3はQBRのデータ入力端子、O 0〜O 3はQBRのデータ出力端子、RESET 17はキューポイントP 0〜P 4のイニシャライズ信号である。QRDY 18はQBRがレディ状態である事を示す信号で、この信号がインアクティブの時はCPUはQRD信号16を出力しない。QFULL 19はQBRが満杯である事を示す信号で、この信号がアクティブの時にはCPUはQWR信号15を出力しない。P 0〜P 4は右シフト、左シフト可能なシフトレジスタで構成されたキューポイントである。SHRはQWRの反転信号とQRDとを入力とする2入力ANDゲートで、その出力はSHR信号となる。SHLはQRDの反転信号とQWRとを入力とする2入力ANDゲートで、その出力はSHL信号となる。QRDYBは

キューポイントP 0の出力を入力とするインバータで、その出力はQRDY信号となる。P 0 0はトランスファークラックでSHL信号によって'0'レベルを入力する。またP 0 1はトランスファークラックでSHR信号によってキューポイントP 1の出力を入力とし、そしてP 0 0とP 0 1の出力を接続してキューポイントP 0への入力となるマルチプレクサを構成する。同様にP 1 0とP 1 1はトランスファークラックで前者はSHL信号によってキューポイントP 0の出力を入力とし、後者はSHR信号によってキューポイントP 2の出力を入力とし、両者の出力を接続してキューポイントP 1への入力となるマルチプレクサを構成する。P 2 0とP 2 1は同様のトランスファークラックで前者はSHL信号によってキューポイントP 1の出力を入力とし、後者はSHR信号によってキューポイントP 3の出力を入力とし、両者の出力を接続してキューポイントP 2への入力となるマルチプレクサを構成する。さらにP 3 0とP 3 1もトランスファークラックで前者はSHL信号によ

てキューポインタP2の出力を入力とし、後者はSHR信号によってキューポインタP4の出力を入力とし両者の出賃を接続してキューポインタP3への入力となるマルチプレクサを構成する。P40とP41も同様のトランスファークゲートで前者はSHL信号によってキューポインタP3の出力を入力とし、後者はSHR信号によって'0'レベルを入力し、両者の出力を接続してキューポインタP4への入力となるマルチプレクサを構成する。S10-S20-S30-S40, S11-S21-S31-S41, S12-S22-S32-S42, S13-S23-S33-S43はデータ入力端子I0, I1, I2, I3のデータを入力し、QRD信号16に同期してシフト動作を実行するシフトレジスタである。トランスファークゲートO05, O06, O07, O08はキューポインタP0の出力の反転信号によってシフトレジスタS10, S11, S12, S13の出力をそれぞれQBR出力O0, O1, O2, O3へ出力する。同様にトランスファークゲートO15, O16, O17, O18はキューポ

インタP1の出力の反転信号によってシフトレジスタS20, S21, S22, S23の出力をそれぞれシフトレジスタS10, S11, S12, S13へ入力する。同様にトランスファークゲートO25, O26, O27, O28はキューポインタP2の出力の反転信号によってシフトレジスタS30, S31, S32, S33の出力をそれぞれシフトレジスタS20, S21, S22, S23へ入力する。同様にトランスファークゲートO35, O36, O37, O38はキューポインタP3の出力の反転信号によってシフトレジスタS40, S41, S42, S43の出力をそれぞれシフトレジスタS30, S31, S32, S33へ入力する。同様にトランスファークゲートO40, O41, O42, O43はキューポインタP4の出力信号によってQBRの入力I0, I1, I2, I3をそれぞれシフトレジスタS40, S41, S42, S43へ入力する。

トランスファークゲートO00-O01-O02-O03はキューポインタP0の出力信号によって、QBRの入力データI0, I1, I2, I3をそれ

ぞれQBR出力O0, O1, O2, O3へ出力する。またトランスファークゲートO10-O11-O12-O13はキューポインタP1の出力信号によってQBRの入力データI0, I1, I2, I3をそれぞれシフトレジスタS10, S11, S12, S13へ入力する。トランスファークゲートO20, O21, O22, O23はキューポインタP2の出力信号によってQBRの入力データI0, I1, I2, I3をそれぞれシフトレジスタS20, S21, S22, S23へ入力する。さらに、トランスファークゲートO30, O31, O32, O33はキューポインタP3の出力信号によってQBRの入力データI0, I1, I2, I3をそれぞれシフトレジスタS30, S31, S32, S33へ入力する。

本実施例の動作を第2図のタイミングチャートに従って説明する。第2図においてT1~T12は各タイミングを示す。またQWR及びQRDの両信号及びRESET信号、入力データI0~I3は第1図の本発明のQBRが検★な状態になるように適宜設定したものである。

T1はRESETがかかる以前でキューポインタP4~P0, QBR出力O3~O0, QRDY, QFULL等の出力信号は全て不定(図中'X')である。T2でRESETがアクティブになり、キューポインタP4~P0はP0='1', P1~P4='0'にイニシャライズされる。その結果QBR出力O3~O0にはI3~I0の入力データ即ち'Fn'が出力されると共にQRDY, QFULLは'インアクティブ'になる。T3でRESETが'インアクティブ'になると、QRDとQWRは共にインアクティブになるのでSHR・SHLの両信号は'インアクティブ'になり、T2の状態を保持する。T4でQWRがアクティブになると、SHL信号が'アクティブ'になりキューポインタは左シフトしてP1が'アクティブ'になる。シフトレジスタS10-S13にはI0~I3の入力データ'Fn'が書き込まれる。QBR出力O0~O3にはシフトレジスタS10-S13のデータ'Fn'が出力される。さらに、キューポインタP0が'インアクティブ'になるのでQRDYが'アク

ティブ'になる。T5でQRDが'アクティブ'になるとキューポインタは右シフトしてP0が'アクティブ'となる。またシフトレジスタはデータをシフトして、QBR出力00-03にはI0-I3の入力データ即ち'E_H'が出力され、QRDYは'インアクティブ'になる。T6でQWRが'アクティブ'になると、T4と同様にシフトレジスタのS10-S13にはI0-I3の入力データ即ち'E_H'が書き込まれる。そして、キューポインタは左シフトしてP1が'アクティブ'となる。またQBR出力00-03にはシフトレジスタS10-S13のデータ'E_H'が出力され、QRDYは'アクティブ'になる。T7でもQWRが'アクティブ'であり、キューポインタは左シフトしP2が'アクティブ'になり、シフトレジスタS20-S23にはI0-I3の入力データ即ち'D_H'が書き込まれる。またQBR出力00-03にはシフトレジスタS10-S13のデータ'E_H'が出力される。T8でQRD・QWRが共に'アクティブ'になるので、シフトレジス

タS20-S23にI0-I3の入力データ即ち'C_H'が書き込まれると共にシフトし、QBRの出力00-03にはシフトレジスタS10-S13の出力データ'D_H'が出力される。またキューポインタはSHR信号・SHL信号と共に'インアクティブ'になるため前のT7の状態を保持しP2が'アクティブ'のままになる。T9でQWRが'アクティブ'になるとキューポインタは左シフトしてP3が'アクティブ'となり、シフトレジスタS30-S33にはQBRの入力データ即ち'B_H'が書き込まれる。またQBRの出力00-03にはシフトレジスタS10-S13のデータ'D_H'が出力される。T10でもQWRが'アクティブ'で、キューポインタは左シフトしてP4が'アクティブ'となり、シフトレジスタS40-S43にはQBRの入力データ即ち'A_H'が書き込まれる。またQBR出力00-03にはシフトレジスタS10-S13のデータ'D_H'が出力される。キューポインタP4が'アクティブ'になるのでQFULLが'アクティブ'になる。T11

ではQWR・QRDと共に'インアクティブ'であるので、T3と同様に全ての出力がT10と同じ状態を保持する。T12でQRDが'アクティブ'になるとキューポインタは右シフトしてP3が'アクティブ'になる。シフトレジスタはシフトしてQBR出力00-03にはシフトレジスタS10-S13のデータ'C_H'が出力される。キューポインタP4は'インアクティブ'になるのでQFULLも'インアクティブ'になる。

本実施例ではキューポインタを右シフト・左シフト可能なシフトレジスタで構成したが、バイナリカウンタ等のカウンタで構成してそのデコード出力をキューポインタ信号としても良い。また、QBRの構成を4ビット×4段で説明したが、これも任意のmビット×n段のQBRでも何ら支えない。

(発明の効果)

以上説明したように本発明によれば、従来のRAM方式のQBRで必要であったキューリードポインタとキューライトポインタが一つのポインタ

で兼用でき、QRDY・QFULL等の状態信号も何ら必要とせず、単にキューポインタ出力を取り出すだけで良い。このため回路構成が非常に簡単になり、ハードウェアの減少が可能となる。また、従来シフトレジスタ方式とRAM方式の両者の欠点であった複雑なタイミング制御も不要になり、QRD(読出し)とQWR(書込み)が同時に実行できる等、その効果は非常に大である。

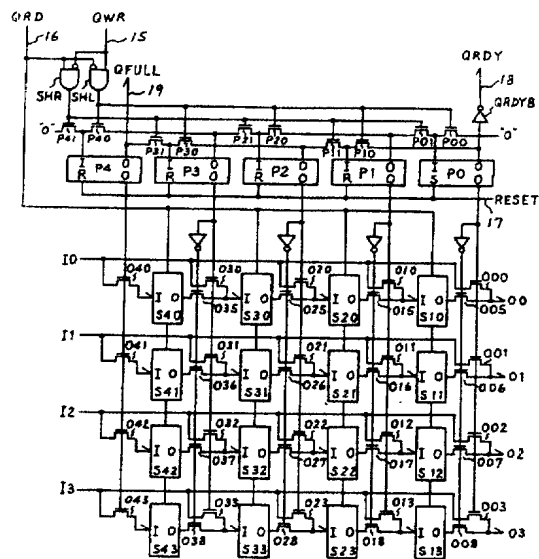
4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は第1図のタイミングチャート、第3図は従来のブロック図である。

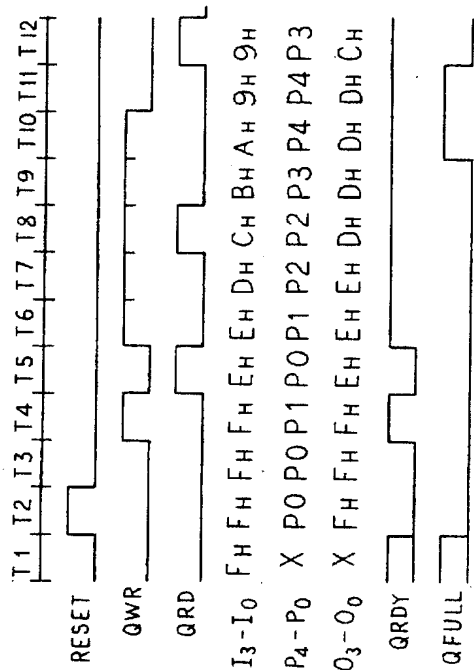
QWR……キューバッファレジスタへの書込信号、QRD……キューバッファレジスタからの読出信号、I0-I3……キューバッファレジスタのデータ入力端子、00-03……キューバッファレジスタからのデータ出力端子、QRDY……キューバッファレジスタがレディ状態であることを示す信号、QFULL……キューバッファレジス

タが満杯である事を示す信号、RESET……キューバッファレジスタのイニシャライズ信号、SHR, SHL……2入力ANDゲート、QRDYB……インバータ、P00, P01, P10, P11, P20, P30, P21, P40, P31, P41, O00-O03, O10, O13, O20-O23, O30-O33, O40-O43……トランスファージェート、O05-O08, O15-O18, O25-O28, O35-O38, O45-O48……トランスファージェート、P0-P4……シフトレジスタ構成のキューポイント、S10-S20-S30-S40, S11-S21-S31-S41, S12-S22-S32-S42, S13-S23-S33-S43……シフトレジスタ、T1-T12……タイミング信号、キューポイントP0のS……RESET信号によって'1'にセットされる端子、キューポイントP1~P4のR……RESET信号によって'0'にリセットされる端子。

代理人 弁理士 内 原



第 1 図



2 册

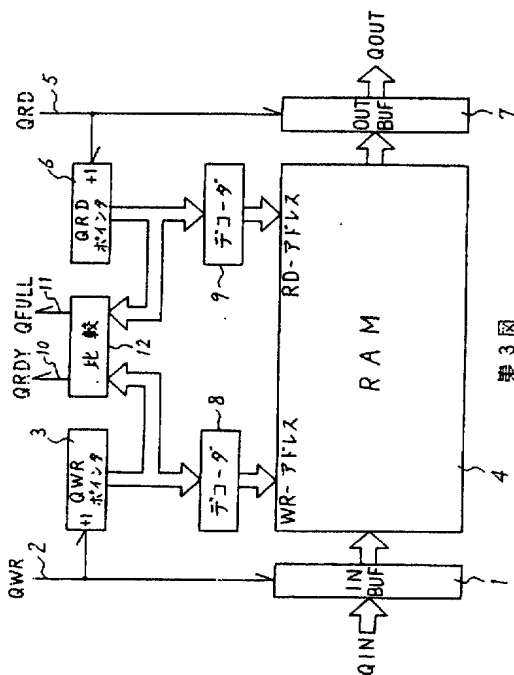


圖 3 狀

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61292747
PUBLICATION DATE : 23-12-86

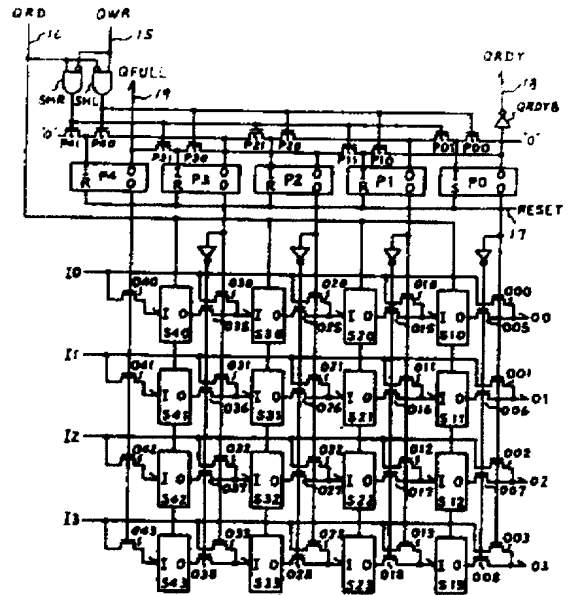
APPLICATION DATE : 20-06-85
APPLICATION NUMBER : 60134766

APPLICANT : NEC CORP;

INVENTOR : MIYATA SHINJI;

INT.CL. : G06F 9/38 G06F 5/06

TITLE : BUFFER REGISTER



ABSTRACT : PURPOSE: To attain both reading and writing operations simultaneously in a simple constitution by providing a means to select and supply data to an optional bit of a shift register with a pointer.

CONSTITUTION: Shift registers S10~S43 supply the data on data input terminals I0~I3 and perform the shift operations synchronously with a read signal QRD 16 sent from a queue buffer register. When the write signal QWR is active, the input data on the terminals I0~I3 are written to the registers S10~S43 after the queue pointers P0~P4 are shifted to the left. At the same time, the data on the registers S10~S13 are delivered from output terminals O0~O3. While those queue pointers are shifted to the right when the signal QRD is active. Then all outputs keep their previous states when both signals QWR and QRD are inactive.

COPYRIGHT: (C)1986,JPO&Japio